

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-215005

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	9/804		H 0 4 N 9/80	B
	9/808		G 1 1 B 20/02	K
G 1 1 B	20/02		H 0 3 M 1/12	C
H 0 3 M	1/12		1/34	
	1/34			

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願平8-17386

(22) 出願日 平成8年(1996)2月2日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鈴木 武夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

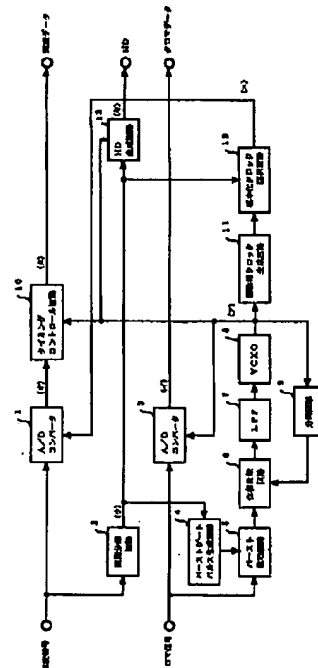
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 標本化信号処理装置

(57) 【要約】

【課題】 VTRの再生信号のような輝度信号とクロマ信号との間に、厳密な時間的關係が存在していない信号を標本化処理する場合において、輝度信号の振幅周波数特性が高周波帯域で低下するという従来の問題を発生させることなく、理想的な標本化処理を行うことのできる標本化処理装置を提供する。

【解決手段】 第1の標本化クロックに基づいて複数相のクロックを生成する複数相クロック生成手段11と、複数相クロックの中から第2の標本化クロックを選択する標本化クロック選択手段12と、第2の標本化クロックにより標本化されたデータを、第2の標本化クロックと第1の標本化クロックとの立上り（もしくは立下り）の時間差分遅延するタイミング制御手段10とを備えるものである。



【特許請求の範囲】

【請求項1】 輝度信号及びクロマ信号をA/D変換するA/D変換手段と、

前記輝度信号に重畳されている水平同期信号を分離する同期分離手段と、

前記クロマ信号に含まれるカラーバースト信号を抜取るカラーバースト抜取手段と、

前記カラーバースト抜取手段により得られたカラーバースト信号を基準信号としてPLLを形成し、標本化の対象である輝度信号及びクロマ信号に同期した標本化クロックを生成する標本化クロック生成手段とを備えた標本化信号処理装置において、

前記標本化クロック生成手段により得られた第1の標本化クロックに基づいて、相互に一定の時間差を有する複数のクロックからなる複数相クロックを生成する複数相クロック生成手段と、

前記複数相クロック生成手段により得られた複数相クロックの中から、前記水平同期信号の立下り位相に最も近い立上り位相を有する相のクロックを第2の標本化クロックとして選択する標本化クロック選択手段と、

前記標本化クロック選択手段により得られた第2の標本化クロックにより標本化されたデータを、前記第2の標本化クロックと前記第1の標本化クロックとの立上りの時間差分遅延するタイミング制御手段とを備えたことを特徴とする標本化信号処理装置。

【請求項2】 輝度信号及びクロマ信号をA/D変換するA/D変換手段と、

前記輝度信号に重畳されている水平同期信号を分離する同期分離手段と、

前記クロマ信号に含まれるカラーバースト信号を抜取るカラーバースト抜取手段と、

前記カラーバースト抜取手段により得られたカラーバースト信号を基準信号としてPLLを形成し、標本化の対象である輝度信号及びクロマ信号に同期した標本化クロックを生成する標本化クロック生成手段とを備える標本化信号処理装置において、

前記標本化クロック生成手段により得られた第1の標本化クロックに基づいて、相互に一定の時間差を有する複数のクロックからなる複数相クロックを生成する複数相クロック生成手段と、

前記複数相クロック生成手段により得られた複数相クロックの中から、前記水平同期信号の立上り位相に最も近い立下り位相を有する相のクロックを第2の標本化クロックとして選択する標本化クロック選択手段と、

前記標本化クロック選択手段により得られた第2の標本化クロックにより標本化されたデータを、前記第2の標本化クロックと前記第1の標本化クロックとの立下りの時間差分遅延するタイミング制御手段とを備えたことを特徴とする標本化信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログの映像信号を標本化、更に量子化し、デジタル信号処理する装置における標本化信号処理装置に関し、特に、VTR (Video Tape Recorder) の再生信号のように輝度信号とクロマ信号との間に厳密な時間的関係が存在していない、所謂非標準信号を標本化する場合に用いて好適な標本化信号処理装置に関するものである。

【0002】

【従来の技術】従来のこの種のアナログの映像信号である輝度信号及びクロマ信号を標本化する標本化信号処理装置について、図6に示すブロック図及び図7に示すタイミングチャート図とともに説明する。尚、図6における各部出力波形符号(ア)～(カ)は、図7に示す波形符号(ア)～(カ)に対応している。

【0003】従来の標本化処理装置は、図6に示すように、アナログの輝度信号を輝度データにA/D変換するA/Dコンバータ1と、輝度信号に重畳されている水平同期信号を分離する同期分離回路2と、アナログのクロマ信号をクロマデータにA/D変換するA/Dコンバータ3と、上記水平同期信号を基準としてバーストゲートパルス生成回路4と、クロマ信号に重畳されているカラーバースト信号を抜取るバースト抜取回路5と、カラーバースト信号と位相比較信号との位相比較を行い位相誤差信号を生成する位相比較回路6とを備えている。

【0004】また、位相誤差信号の低周波分のみ通過させ制御信号を出力するLPF (低域通過フィルタ) 7と、制御信号に基づいて発振クロックを出力するVCXO (クリスタルを用いた電圧制御発振回路) 8と、入力された発振出力を分周し位相比較用の信号を出力する分周回路9と、標本化クロックで変化のタイミングが規定された水平同期信号を生成するHD生成回路13と、上記A/Dコンバータ1出力の輝度データを演算処理しジッタを補正した輝度データを出力するジッタ補正回路14とを備えている。

【0005】次に、上記のように構成してなる標本化信号処理装置の動作について、図6及び図7を参照して説明をする。入力されたアナログの輝度信号は、A/Dコンバータ1に入力されるとともに、同期分離回路2に入力される。同期分離回路2は輝度信号に重畳されている水平同期信号HSYNCを分離し、ジッタ補正回路14及びHD生成回路13へ出力するとともに、バーストゲートパルス生成回路4へ出力する。バーストゲートパルス生成回路4は、同期分離回路2により得られた水平同期信号HSNCを基準として、バーストゲートパルス生成する。

【0006】また、クロマ信号はA/Dコンバータ3に入力されるとともに、バースト抜取回路5に入力され

る。バースト抜取回路5は、クロマ信号に重畳されているカラーバースト信号を、前述したバーストゲートパルス生成回路4より出力されるバーストゲートパルスを用いて抜取り、位相比較回路6へ出力する。

【0007】位相比較回路6は、バースト抜取回路5より出力されたカラーバースト信号と、後述する分周回路9より出力される位相比較信号との位相比較を行い、位相誤差信号を生成しLPF7へ出力する。LPF7は位相比較回路6から出力される位相誤差信号の低周波成分のみを通過させ、制御信号としてVCXO8へ出力する。VCXO8はLPF3から出力された制御信号に基づいて $4f_{sc}$ (f_{sc} はサブキャリア周波数)の周波数で発振し、発振出力を分周回路9へ出力する。

【0008】分周回路9は入力された発振出力を4分周し、カラーバースト信号との位相比較信号として位相比較回路6にフィードバックする。位相比較回路6は、フィードバックされた比較信号とカラーバースト信号との位相比較を行い、位相誤差信号を生成しLPF7に出力する。以上の一連の動作によりPLL (Phase Locked Loop) が形成され、輝度信号及びクロマ信号に同期した標準化クロックCLKがVCXO8出力にて生成される。

【0009】生成された標準化クロックCLKは、A/Dコンバータ1及びA/Dコンバータ3へ出力されるとともにHD生成回路13へ出力される。HD生成回路13は、標準化クロックCLKで水平同期信号HSYNCの変化のタイミングを規定し、タイミングが規定された水平同期信号HDを次段へ出力する。

【0010】A/Dコンバータ1は、PLLにより生成された標準化クロックCLKに基づいて、入力されたアナログの輝度信号を標準化するとともに、量子化を行って、輝度データAをジッタ補正回路14へ出力する。また、A/Dコンバータ3は図7(a)に示すように、PLLにより生成された標準化クロックCLKに基づいて、アナログのクロマ信号を標準化するとともに量子化を行い、クロマデータを次段へ出力する。ここで、前述の標準化される輝度信号及びクロマ信号が、放送信号や最近のレーザーディスクの再生信号のような、所謂標準信号であれば何の問題も生じないのであるが、VHS方式や8ミリ方式等の民生用アナログVTRの再生信号のように、輝度信号とクロマ信号との間に厳密な時間的關係が存在していない、所謂非標準信号の場合には、カラーバースト信号を基準としてPLLにより生成された標準化クロックCLKの立上り(立上りタイミングで標準化する場合)と、輝度信号の1水平同期期間の開始点を示す水平同期信号HSYNCの立下りとの間に最大1クロックのジッタが発生する。このジッタを補正するために輝度信号処理系にはジッタ補正回路14が設けられている。

【0011】ジッタ補正回路14は図7(b)に示すよ

うに、輝度データAを標準化クロックCLKの立上りと、輝度信号に重畳されている水平同期信号HSYNCの立下りとの時間差aと、標準化クロックCLKの1クロックの時間間隔bとに応じて、相前後する2つの輝度データ(例えば、輝度データAの①、②のデータ)から、本来標準化すべきであった位置に相当する輝度データを演算処理し、輝度データBとして出力するものである。具体的には、A/D変換された輝度データAの②のデータを次式によって演算処理し、ジッタ補正輝度データ②'として出力する。

$$\text{②}' = a/b \times \text{データ①} + b - b/b \times \text{データ②}$$

即ち、輝度信号に対する標準化開始点が見かけ上、水平同期信号HSYNCの立下り点(A点)から開始するように演算処理するもので、変化のタイミングが規定された水平同期信号HDとジッタ補正後の輝度データBとの相対的なタイミング関係が、水平同期信号HSYNCの立下り点(A点)から標準化を開始した場合とほぼ同一状態の関係となる。

【0012】次に、相互に一定の時間差を有する複数のクロックの中から、一つのクロックを選択し、選択されたクロックにて入力映像信号を標準化する技術として、先に本願出願人が提案した特開平6-165126号公報に記載の時間軸補正装置があり、これについて図8とともに以下説明する。

【0013】図8において、入力された再生信号はA/Dコンバータ21に入力されるとともに基準抜取部22に入力される。基準抜取部22は入力された再生信号から1H毎の基準信号を作成しクロック選択部23へ出力する。また、書き込み用基準クロックが多相クロック作成部24に入力され、多相のクロックがクロック選択部23へ出力される。クロック選択部23にて書き込み用基準クロックから作成された多相クロックの中から、前記基準信号の前縁の位相に最も近い立上り位相を有するクロックが選択される。

【0014】A/Dコンバータ21に入力された再生信号は、クロック選択部23で選択されたクロックに基づいて書き込みアドレスカウンタ25より発生された書き込みアドレスにて標準化、更に量子化され、A/D変換されたデータがメモリ26に書き込まれる。メモリ26に書き込まれたデータを安定した読み出し用基準クロックに基づいて読み出しアドレスカウンタ27より発生された読み出しアドレスにより読み出した後、D/Aコンバータ27にてD/A変換することで、ジッタのない安定したアナログ信号を得る。

【0015】

【発明が解決しようとする課題】しかしながら、図6及び図7とともに上述した従来の標準化信号処理装置においては、標準化クロックと輝度信号の間に生じる最大1クロックのジッタを補正するために、相前後する2つの標準化データから本来標準化すべきであった位置に相当

するデータを演算処理により生成しているため、輝度信号の振幅周波数特性が高周波数帯域で低下するという問題があった。更に、この振幅周波数特性の低下を防止するためには、大規模な回路が必要となるという問題があった。

【0016】また、特開平6-165126号公報に記載されたものの場合、VHS方式や8ミリ方式のVTRの再生信号のように、輝度信号とクロマ信号との間に厳密な時間関係が存在していない場合には、カラーバースト信号と水平同期信号とが非同期であることから、標本化点がずれて標本化された輝度データにジッタが発生してしまうという問題があった。

【0017】

【課題を解決するための手段】本発明の標本化信号処理装置は、輝度信号及びクロマ信号をA/D変換するA/D変換手段と、前記輝度信号に重畳されている水平同期信号を分離する同期分離手段と、前記クロマ信号に含まれるカラーバースト信号を抜取るカラーバースト抜取手段と、前記カラーバースト抜取手段により得られたカラーバースト信号を基準信号としてPLL(Phase Locked Loop)を形成し、標本化の対象である輝度信号及びクロマ信号に同期した標本化クロックを生成する標本化クロック生成手段とを備えた標本化信号処理装置において、前記標本化クロック生成手段により得られた第1の標本化クロックに基づいて、相互に一定の時間差を有する複数のクロックからなる複数相クロックを生成する複数相クロック生成手段と、前記複数相クロック生成手段により得られた複数相クロックの中から、前記水平同期信号の立下り位相に最も近い立上り位相を有する相のクロックを第2の標本化クロックとして選択する標本化クロック選択手段と、前記標本化クロック選択手段により得られた第2の標本化クロックにより標本化されたデータを、前記第2の標本化クロックと前記第1の標本化クロックとの立上りの時間差分遅延するタイミング制御手段とを備えてなるものである。

【0018】あるいは、輝度信号およびクロマ信号をA/D変換するA/D変換手段と、前記輝度信号に重畳されている水平同期信号を分離する同期分離手段と、前記クロマ信号に含まれるカラーバースト信号を抜取るカラーバースト抜取手段と、前記カラーバースト抜取手段により得られたカラーバースト信号を基準信号としてPLL(Phase Locked Loop)を形成し、標本化の対象である輝度信号及びクロマ信号に同期した標本化クロックを生成する標本化クロック生成手段とを備えた標本化信号処理装置において、前記標本化クロック生成手段により得られた第1の標本化クロックに基づいて、相互に一定の時間差を有する複数のクロックからなる複数相クロックを生成する複数相クロック生成手段と、前記複数相クロック生成手段により得られた複数相クロックの中から、前記水平同期信号の立上り位相に最

も近い立下り位相を有する相のクロックを第2の標本化クロックとして選択する標本化クロック選択手段と、前記標本化クロック選択手段により得られた第2の標本化クロックにより標本化されたデータを、前記第2の標本化クロックと前記第1の標本化クロックとの立下りの時間差分遅延するタイミング制御手段とを備えてなるものである。

【0019】そして、本発明の標本化信号処理装置においては、クロマ信号についてはカラーバースト信号を基準としてPLLを形成し、得られた第1の標本化クロックを用いて標本化する。また、輝度信号についてはPLLにより生成された第1の標本化クロックに基づいて、相互に一定の時間差を有する複数のクロックを生成し、これら複数相クロックの中から水平同期信号の立下り位相に最も近い立上り(立上りタイミングで標本化する場合)、もしくは水平同期信号の立上り位相に最も近い立下り(立下りタイミングで標本化する場合)位相を有する第2の標本化クロックを用いて標本化する。

【0020】更に、標本化された輝度データを第2の標本化クロックと第1の標本化の立上り、もしくは立下りとの時間差分遅延することで、クロマ信号及び輝度信号それぞれについて理想的な標本化信号処理を行う。

【0021】

【発明の実施の形態】本発明の標本化信号処理装置の一実施形態について、図1乃至図5に基づき以下説明する。図1は本実施形態の標本化信号処理装置の概略構成を示すブロック図、図2は本実施形態の標本化信号処理装置における標本化処理動作を示すタイミングチャート図、図3は本実施形態の標本化信号処理装置における複数相クロックの生成動作を示すタイミングチャート図、図4は本実施形態の標本化信号処理装置におけるタイミングコントロール回路を示す回路図、図5は本実施形態の標本化信号処理装置における標本化クロック選択回路を示す回路図である。尚、図1における各部出力波形符号(ア)～(キ)は、図2に示す波形符号(ア)～(キ)に対応している。

【0022】本実施形態の標本化処理装置は、図1に示すように、アナログの輝度信号を輝度データにA/D変換するA/Dコンバータ1と、輝度信号に重畳されている水平同期信号を分離する同期分離回路2と、アナログのクロマ信号をクロマデータにA/D変換するA/Dコンバータ3と、上記水平同期信号を基準としてバーストゲートパルス生成するバーストゲートパルス生成回路4と、クロマ信号に重畳されているカラーバースト信号を抜取るバースト抜取回路5と、カラーバースト信号と位相比較信号との位相比較を行い位相誤差信号を生成する位相比較回路6とを備えている。

【0023】また、位相誤差信号の低周波分のみを通過させ制御信号を出力するLPF(低域通過フィルタ)7と、制御信号に基づいて発振クロックを出力するVCX

〇(クリスタルを用いた電圧制御発振回路)8と、入力された発振出力を分周し位相比較用の信号を出力する分周回路9とを備えている。

【0024】さらに、A/Dコンバータ1から出力される輝度データのタイミングを制御して、第1の標準化クロックに同期した輝度データを生成するタイミングコントロール回路10と、VCXO8から出力されるクロックを基に、相互に一定の時間差を有する複数相のクロックを生成する複数相クロック生成回路11と、複数相クロックの中から所定のクロックを選択するクロック選択回路12と、第1の標準化クロックで変化のタイミングが規定された水平同期信号を生成するHD生成回路13とを設けている。

【0025】尚、本実施形態の標準化処理装置における図6とともに上述した従来例との相違は、従来のジッタ補正回路14を廃止し、新たにタイミングコントロール回路10、複数相クロック生成回路11、標準化クロック選択回路12を設けた点にあり、その他は上記従来例と同一である。

【0026】次に、上記のように構成してなる標準化処理装置における動作について、図1乃至図5を参照して説明をする。入力されたアナログの輝度信号は、A/Dコンバータ1に入力されるとともに、同期分離回路2に入力される。同期分離回路2は輝度信号に重畳されている水平同期信号HSYNCを分離し、標準化クロック選択回路12およびHD生成回路13へ出力するとともに、バーストゲートパルス生成回路4へ出力する。バーストゲートパルス生成回路4は、同期分離回路2により得られた水平同期信号HSNCを基準として、バーストゲートパルスを生成する。

【0027】また、クロマ信号はA/Dコンバータ3に入力されるとともに、バースト抽取回路5に入力される。バースト抽取回路5は、クロマ信号に重畳されているカラーバースト信号を、前述したバーストゲートパルス生成回路4より出力されるバーストゲートパルスを用いて抽取し、位相比較回路6へ出力する。

【0028】位相比較回路6は、バースト抽取回路5より出力されたカラーバースト信号と、後述する分周回路9より出力される位相比較信号との位相比較を行い、位相誤差信号を生成しLPF7へ出力する。LPF7は位相比較回路6から出力される位相誤差信号の低周波成分のみを通過させ、制御信号としてVCXO8へ出力する。VCXO8はLPF7から出力された制御信号に基づいて4fsc(fscはサブキャリア周波数)の周波数で発振し、発振出力を分周回路9へ出力する。

【0029】分周回路9は入力された発振出力を4分周し、カラーバースト信号との位相比較信号として位相比較回路6へフィードバックする。位相比較回路6は、フィードバックされた位相比較信号とカラーバースト信号との位相比較を行い、位相誤差信号を生成し、LPF7

に出力する。以上の一連の動作によりPLLが形成され、輝度信号およびクロマ信号に同期した第1の標準化クロックCLK1がVCXO8出力にて生成される。

【0030】生成された第1の標準化クロックCLK1は、A/Dコンバータ3および複数相クロック生成回路11、タイミングコントロール回路10、HD生成回路13へ出力される。HD生成回路13は第1の標準化クロックCLK1で水平同期信号HSYNCの変化のタイミングを規定し、タイミングが規定された水平同期信号HDを次段へ出力する。

【0031】A/Dコンバータ3は、図2(a)に示すように、PLLにより生成された第1の標準化クロックCLK1に基づいて、アナログのクロマ信号を標準化するとともに量子化を行って、クロマデータを次段へ出力する。

【0032】複数相クロック生成回路11は、VCXO8から出力される第1の標準化クロックCLK1を基に遅延線等を用いて相互に一定の微小な時間差(例えば5ns)を設けることにより、図3に示すような14相(第1の標準化クロックの時間間隔70nsを5ns単位で分割)のクロックCLK(A)~CLK(N)を生成し、標準化クロック選択回路12へ出力する。

【0033】標準化クロック選択回路12は、前述した同期分離回路2から出力された水平同期信号HSYNCの立下り位相に最も近い立上り位相を有する相のクロックを選択(選択されたクロックが第2の標準化クロックCLK2となる)して、A/Dコンバータ1へ出力する。

【0034】図2(b)に示すように、A/Dコンバータ1は入力されたアナログの輝度信号を第2の標準化クロックCLK2に基づいて標準化するとともに、量子化を行い、輝度データAをタイミングコントロール回路10へ出力する。後述するタイミングコントロール回路10は、A/Dコンバータ1でA/D変換された輝度データAを(例えば、図2中斜線で示すデータ)、第2の標準化クロックCLK2と第1の標準化クロックCLK1との立上り時間の時間差分だけ遅延して出力することで、第1の標準化クロックCLK1に同期した輝度データBを(例えば、図2中斜線で示すデータ)生成し次段へ出力する。

【0035】以上の動作により、標準化クロックCLK1と、輝度データBと、変化のタイミングが規定された水平同期信号HDとのタイミングの相対関係が、第2の標準化クロックCLK2でアナログの輝度信号を標準化した場合のタイミングと同一のタイミング関係となり、VHS方式や8ミリ方式の民生用アナログVTRの再生信号のような輝度信号とクロマ信号との間に、厳密な時間的相関関係が存在していない所謂非標準信号を標準化する場合においても、理想的なタイミングの標準化クロックで標準化されたことと同様な結果となる。

【0036】以上の説明は、アナログの輝度信号を標本化する第2の標本化クロックを選択する場合、水平同期信号HSYNCの立下り位相に最も近い、立上り位相を有する相のクロックを選択し、標本化クロックの立上りタイミングで標本化する場合について説明したが、水平同期信号HSYNCの立上り位相に最も近い立下り位相を有する相のクロックを選択し、立下りタイミングで標本化してもよいことは勿論のことである。

【0037】次に、A/Dコンバータ1より出力される輝度データAが、8ビットにて入力される場合を例にして、本実施形態におけるタイミングコントロール回路10を説明する。図4はタイミングコントロール回路10の具体的構成例を示す回路図であり、8ビットで入力される輝度データA₀～A₇の各ビットに対応する2段のDFF(Dフリップフロップ)で構成される。

【0038】1段目のD端子には、各ビットに対応する輝度データA₀～A₇が入力され、CK端子には第2の標本化クロックCLK2が入力される。D端子に入力された輝度データA₀～A₇のデータ変化のタイミングが、標本化クロックCLK2の立上りで規定され、規定されたデータがQ端子から出力される。

【0039】出力されたデータは次段のD端子に入力され、次段のCK端子には第1の標本化クロックCLK1が入力される。D端子に入力されたデータは、第1の標本化クロックCLK1の立上りでデータ変化のタイミングが規定されQ端子から輝度データB₀～B₇として出力される。

【0040】次に、本実施形態における標本化クロック選択回路12について説明する。本回路は公知の技術にて実現でき、例えば、前述した特開平6-165126号公報に記載のクロック選択回路にて実現できる。その概略を図5を参照して説明する。

【0041】標本化クロック選択回路12は、J-Kフリップフロップ、R-Sフリップフロップ、AND回路、OR回路から構成され、J-KフリップフロップのJ端子には、同期分離回路2から出力される水平同期信号HSYNC、CK端子には複数相クロックCLK(A)～CLK(N)、R端子には回路を初期化するCLR信号が入力され、OR回路の出力には、水平同期信号HSYNCの立下り位相に最も近い立上り位相を有する相のクロック(立上りタイミングで標本化する場合)、あるいは、水平同期信号HSYNCの立上り位相に最も近い立下り位相を有する相のクロック(立下りタイミングで標本化する場合)が選択され、第2の標本化クロックCLK2として次段へ出力される。

【0042】以上説明したように、民生用アナログVTRの再生信号のような輝度信号とクロマ信号との間に、厳密な時間的相関関係が存在していない、所謂非標準信号を標本化する場合においても、理想的なタイミングの標本化クロックで標本化したことと同様な結果となるた

め、従来のように輝度信号の振幅周波数特性が低下するという問題は発生しない。

【0043】また、上記一実施形態においては、タイミング制御手段として、入力される輝度データの各ビットに対応する2段のフリップフロップで構成しているので、コストアップにつながる高価なメモリ等を用いることなく、非常に簡単な構成で理想的な標本化信号処理を行うことができる。

【0044】

10 【発明の効果】本発明の標本化信号処理装置は、上述したような構成としているので、標準信号のみならず、標本化する信号がVTRの再生信号のような輝度信号とクロマ信号との間に、厳密な時間的相関関係が存在していない所謂非標準信号を標本化する場合、従来のような相前後する2つの輝度データ間の演算処理を用いずにジッタ補正を行うため、輝度信号の振幅周波数特性が高周波帯域で低下することなく、理想的な標本化信号処理を行うことができる。

【図面の簡単な説明】

20 【図1】本発明の標本化信号処理装置の一実施形態の構成を示すブロック図である。

【図2】本発明の標本化信号処理装置の一実施形態における標本化処理動作を示すタイミングチャート図である。

【図3】本発明の標本化信号処理装置の一実施形態における複数相クロックの生成動作を示すタイミングチャート図である。

【図4】本発明の標本化信号処理装置の一実施形態におけるタイミングコントロール回路を示す回路図である。

30 【図5】本発明の標本化信号処理装置の一実施形態におけるクロック選択回路を示す回路図である。

【図6】従来の標本化信号処理装置の構成を示すブロック図である。

【図7】従来の標本化信号処理装置における標本化処理動作を示すタイミングチャート図である。

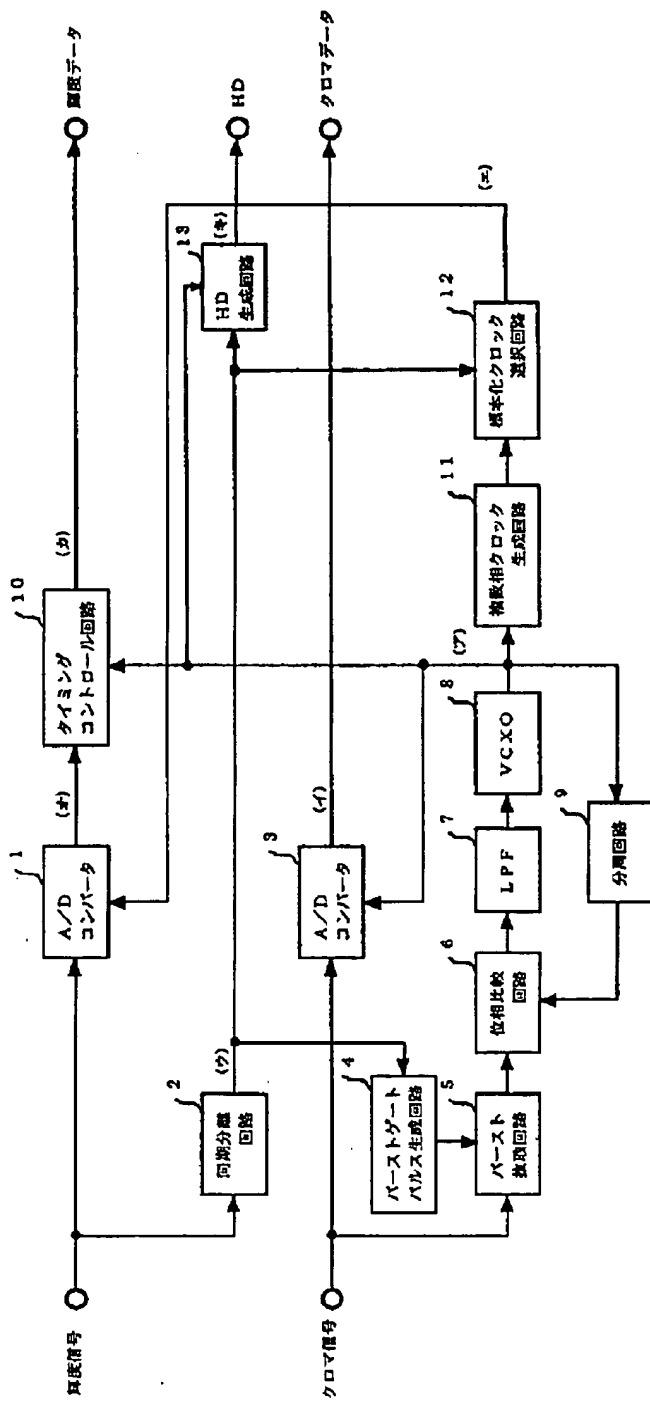
【図8】他の従来の標本化信号処理装置の構成を示すブロック図である。

【符号の説明】

- 1 A/Dコンバータ
- 2 同期分離回路
- 3 A/Dコンバータ
- 4 バーストゲートパルス生成回路
- 5 バースト抜取回路
- 6 位相比較回路
- 7 LPF
- 8 VCXO
- 9 分周回路
- 10 タイミングコントロール回路
- 11 複数相クロック生成回路
- 50 12 標本化クロック選択回路

13 HD生成回路

【図1】



【図8】

